

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-168216

(43)Date of publication of application : 22.06.1999

(51)Int.Cl.

H01L 29/786
H01L 21/336

(21)Application number : 09-333883

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 04.12.1997

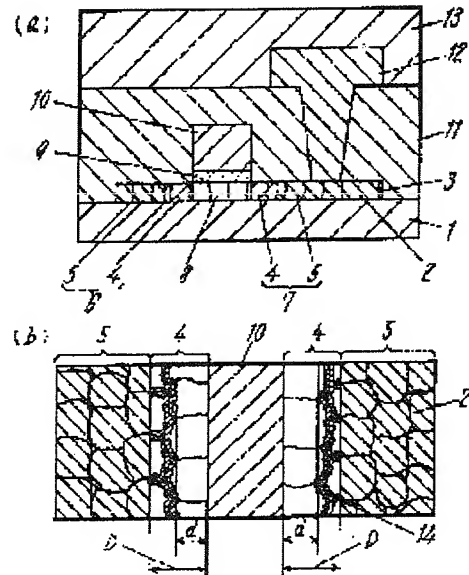
(72)Inventor : OKA HITOSHI
ITO YUTAKA

(54) THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the generation of a defective display of a white spot (fine calescence point) at the time of a display of gray due to a leakage current between the source and the drain of a thin film transistor(TFT) when a liquid crystal display device is used at a high temperature.

SOLUTION: A TFT of a structure, wherein a source region 6 of an LDD structure, wherein a low-impurity concentration region 4 and a high-impurity concentration region 5 are formed in a polycrystalline semiconductor film 3 formed on an insulator substrate 1, and a drain region 7 of an LDD structure, wherein a low-impurity concentration region 4 and a high-impurity concentration region 5 are formed in the film 3 formed on the substrate 1, are formed and the lengths of the regions 4 from a gate insulating film 9 are longer than the mean crystal grain diameter in the film 3, is used for a liquid crystal display device. Thereby, at the time of a heat treatment, impurities can be prevented from being diffused rapidly in the direction of a gate along crystal grain boundaries 2 from the regions 5 to the regions 4 in the film 3 and the effective lengths of the regions 4 can be prevented from being reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-168216

(43)公開日 平成11年(1999)6月22日

(51) Int.Cl.⁵

識別記号

FI

H 0 1 L 29/786

H O 1 L 29/78

616A

21/336

6 1.8 Z

6 2 7 C

審査請求 未請求 請求項の数2 OL (全 6 頁)

(21)出願番号 特願平9-333883

(22)出願日 平成9年(1997)12月4日

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 岡 仁志

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72) 発明者 伊藤 豊

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74)代理人 弁理士 滝本 智之 (外1名)

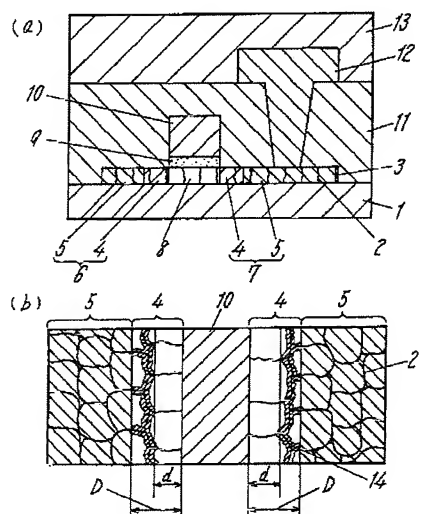
(54) 【発明の名称】 薄膜トランジスタおよびその製造方法

(57) 【要約】

【課題】 液晶表示装置を高温下で使用する時、薄膜トランジスタ(TFT)のソース・ドレイン間リーク電流に起因する灰色表示時の白点表示(微輝点)不良の発生を防止する。

【解決手段】 絶縁体基板 1 上に形成された多結晶半導体膜 3 に不純物濃度が低い低濃度領域 4 と不純物濃度が高い高濃度領域 5 が形成された LDD 構造のソース領域 6 とドレイン領域 7 とが形成され、かつ、ゲート絶縁膜 9 からの低濃度領域 4 の長さが、多結晶半導体膜 3 の平均結晶粒径以上である TFT を液晶表示装置に用いる。これにより、熱処理の際、多結晶半導体膜 3 の高濃度領域 5 から低濃度領域 4 への結晶粒界 2 に沿って不純物がゲート方向に急速に拡散するのを阻止することができ、低濃度領域 4 の実効的な長さの低下を防止することができる。

1 絶縁体基板	6 ヴ-ノ領域	11 層間絶縁膜
2 結晶材料	7 ドレイン領域	12 電極配線層
3 多結晶半導体膜	8 チャンネル領域	13 パッシベーション膜
4 低濃度領域	9 ゲート絶縁膜	14 高濃度の不純物
5 高濃度領域	10 ゲート電極	



【特許請求の範囲】

【請求項1】絶縁体基板上または半導体基板上に形成された絶縁膜上に形成された多結晶半導体薄膜に、不純物濃度の低い低濃度領域と不純物濃度の高い高濃度領域を備えたLDD構造のソース領域とドレイン領域が形成され、ゲート絶縁膜からの前記低濃度領域の長さが前記多結晶半導体薄膜の平均結晶粒径以上であることを特徴とする薄膜トランジスタ。

【請求項2】絶縁体基板上または半導体基板上に形成された絶縁膜上に非晶質半導体膜を形成する工程と、前記非晶質半導体膜を熱処理して多結晶を固相成長させて多結晶半導体膜を形成する工程と、前記多結晶半導体膜上にゲート絶縁膜とゲート電極を順次形成する工程と、前記多結晶半導体膜に前記ゲート絶縁膜から前記多結晶半導体膜の平均結晶粒径以上の距離まで不純物イオンを注入して不純物濃度の低い低濃度領域のソース領域とドレイン領域を形成する工程と、前記多結晶半導体膜の前記低濃度領域以外の領域に、前記低濃度領域と同一導電型の不純物イオンを注入して不純物濃度の高い高濃度領域のソース領域とドレイン領域を形成する工程と、イオン注入した前記ソース領域とドレイン領域を活性化熱処理する工程および層間絶縁膜を形成した後、導電性膜による電極配線層を形成する工程とを備えたことを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、主に液晶表示装置に使用するための薄膜トランジスタ（以後、TFTと記す）およびその製造方法に関するものである。

【0002】

【従来の技術】液晶を用いた液晶表示装置は、薄型、軽量ディスプレイの主流として、ノート型パソコン、携帯型テレビ、車載用ナビゲーターなどの各種表示装置に使用されている。また、液晶表示装置はビデオカメラ用ビューファインダーのような小型高精細表示にも応用され、さらに、このような小型高精細表示を特徴とする液晶表示装置は、近年急速に需要が高まりつつある投射型プロジェクターに使用されてきている。

【0003】従来の液晶表示装置として、図4（a）に液晶表示装置用のTFTの断面図、図4（b）にその上面拡大図を示す。

【0004】この構造は、絶縁体基板1（または半導体基板上に形成された絶縁体膜）上に、結晶粒界2を有する多結晶半導体膜3が形成され、多結晶半導体膜3中に不純物濃度が低い低濃度領域4と不純物濃度の高い高濃度領域5が形成されたLDD構造のソース領域6とドレイン領域7が形成され、ソース領域6とドレイン領域7の間にチャンネル領域8が形成され、チャンネル領域8の上にゲート絶縁膜9とゲート電極10が形成され、この上にコンタクトホールが形成された層間絶縁膜11が

形成され、コンタクトホールに導電性膜による電極配線層12が形成され、表面にパッシベーション膜13が形成されたものである。

【0005】従来の、小型高精細表示を特徴とする液晶表示装置の技術では、液晶表示装置用のTFTのスイッチング特性として高い精度のオン・オフ特性が重要視される。それは、液晶に電圧をかける画素電極に確実に電圧を供給するか、しないかを明確に区別して各画素、ひいては画面の白黒状態を制御するためである。そのためには、ソース・ドレイン領域を形成する多結晶半導体薄膜としての多結晶シリコンは結晶粒径ができるだけ大きいもの、例えば、結晶粒径が3~5 μm の多結晶シリコンを作製し、TFTのオン電流を高くすることが望ましかった。

【0006】

【発明が解決しようとする課題】しかしながら、最近の市場からの画質向上の要望に対して、従来のTFTの構成で作製された液晶表示装置では、灰色表示のとき求める輝度より高い、つまり他の画素より白い画素（以下、微輝点と記す）が多数発生する欠点を有していた。

【0007】その背景は2つあり、一つはTFTの小型化が進んだことである。その目的は、TFTの小型化により液晶表示装置の開口率を高くして、表示画面の明るさを確保することにある。

【0008】もう一つは、より明るいランプを使用する投射型ディスプレイに液晶表示装置が搭載されるようになり、液晶表示装置が高温にさらされるようになったことである。

【0009】次に、微輝点の発生と従来のTFT構造の関係について図4（b）を参照して説明する。

【0010】図4（b）は、従来のTFT構造の上面拡大図であり、3~5 μm のシリコン結晶粒径の大きな多結晶半導体薄膜をTFTの能動層として作製したものである。

【0011】この構造の特徴は、TFTを小型化にすることにより、ソース・ドレイン領域6、7の不純物濃度が低い低濃度領域4の形成領域の長さDがシリコン結晶粒径より小さくなることである。

【0012】このため、不純物濃度が低い低濃度領域4と不純物濃度の高い高濃度領域5のソース・ドレイン領域形成のため不純物イオンを注入後、活性化のための熱処理を行うと、注入した高濃度領域5の高濃度の不純物14は低濃度領域4内へ主に結晶粒界2に沿って拡散するが、結晶粒径が低濃度領域4の形成領域の長さDより大きい場合、結晶粒界2に沿って深く高濃度の不純物14が拡散されることになり、低濃度領域4の実効的な長さdが短くなる。

【0013】この結果、TFTのスイッチ特性としての遮断（オフ）状態の効果が低下し、TFTがオフ状態でも液晶表示装置が高温にさらされると、微輝点を発生さ

せるだけのリーク電流がTFTのソースとドレイン間に生じてしまう。

【0014】本発明は上記問題点を解決するもので、TFTを小型化し、かつ高温下で液晶表示装置を使用しても、TFTのリーク電流を抑制し、液晶表示装置の微輝点の発生を防ぐことを目的とするものである。

【0015】

【課題を解決するための手段】この目的を達成するために、本発明の薄膜トランジスタは、絶縁体基板上または半導体基板上に形成された絶縁膜上に形成された多結晶半導体薄膜に、不純物濃度の低い低濃度領域と不純物濃度の高い高濃度領域を備えたLDD構造のソース領域とドレイン領域が形成され、ゲート絶縁膜からの前記低濃度領域の長さが前記多結晶半導体薄膜の平均結晶粒径以上であるものである。

【0016】この構造により、不純物活性化のための熱処理を行う際、高濃度領域の不純物が低濃度領域へ結晶粒界に沿って拡散しても、ゲート電極に平行な結晶粒界によって拡散が抑えられ、低濃度領域の実効的な長さdが短くなるのを抑えることができる。

【0017】また、本発明の薄膜トランジスタの製造方法は、絶縁体基板上または半導体基板上に形成された絶縁膜上に非晶質半導体膜を形成する工程と、前記非晶質半導体膜を熱処理して多結晶を固相成長させて多結晶半導体膜を形成する工程と、前記多結晶半導体膜上にゲート絶縁膜とゲート電極を順次形成する工程と、前記多結晶半導体膜に前記ゲート絶縁膜から前記多結晶半導体膜の平均結晶粒径以上の距離まで不純物イオンを注入して不純物濃度の低い低濃度領域のソース領域とドレイン領域を形成する工程と、前記多結晶半導体膜の前記低濃度領域以外の領域に、前記低濃度領域と同一導電型の不純物イオンを注入して不純物濃度の高い高濃度領域のソース領域とドレイン領域を形成する工程と、イオン注入した前記ソース領域とドレイン領域を活性化熱処理する工程および層間絶縁膜を形成した後、導電性膜による電極配線層を形成する工程とを備えたものである。

【0018】この製造方法により、多結晶半導体膜の結晶粒径を小さくできるとともに、不純物活性化のための熱処理を行う際、高濃度領域の不純物が低濃度領域へ結晶粒界に沿って拡散しても、ゲート電極に平行な結晶粒界によって拡散が抑えられ、低濃度領域の実効的な長さdが短くなるのを抑えることができる。

【0019】この構造およびその製造方法の結果、各画素を構成するTFTを小型化し、かつ高温下で液晶表示装置を使用する場合においても、TFTのリーク電流を抑制し、液晶表示装置の微輝点の発生を防ぐことができる。

【0020】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【0021】（実施の形態1）図1（a）は本発明の第1の実施の形態によるTFTの断面図、図1（b）はそのTFTの上面拡大図である。

【0022】この構造は、絶縁体基板1（または半導体基板上に形成された酸化シリコン膜等の絶縁体膜）上に、結晶粒界2からなる多結晶半導体膜3が形成され、多結晶半導体膜3中に不純物濃度が低い低濃度領域4と不純物濃度の高い高濃度領域5が形成されたLDD構造のソース領域6とドレイン領域7が形成され、ソース領域6とドレイン領域7の間にチャンネル領域8が形成され、チャンネル領域8の上にゲート絶縁膜9とゲート電極10が形成され、この上にコンタクトホールが形成された層間絶縁膜11が形成され、コンタクトホールに導電性膜による電極配線層12が形成され、表面にパッシベーション膜13が形成されたものである。

【0023】本発明のTFTの構造の特徴は、図1（b）で示されているように、多結晶半導体膜としての多結晶シリコン膜の平均結晶粒径を $1.0\mu\text{m}$ の小粒径に制御し、かつ、ゲート絶縁膜9からの低濃度領域4の長さDを $1.1\mu\text{m}$ 以上とし、低濃度領域4の長さDを多結晶シリコン膜の平均結晶粒径以上としたことである。

【0024】この構成により、ソース・ドレイン領域の不純物の活性化のための熱処理を行う際、高濃度領域5の高濃度の不純物14が低濃度領域4へ結晶粒界に沿って拡散しても、ゲート電極10に平行な結晶粒界によって拡散がゲート電極方向に進むのを抑えられ、低濃度領域の実効的な長さdが短くなるのを抑えることができる。

【0025】この結果、TFTのスイッチング特性としてのオフ電流を減少させ、かつ、ソース・ドレイン間のリーク電流を抑制することができるので液晶表示装置の各画素の白黒を安定表示させ、かつ灰色表示での微輝点の発生を防止する効果を有する。

【0026】図2は、nチャンネルTFTのゲート電圧に対するドレイン電流特性を示した図であり、本発明の実施の形態によるTFTの特性は実線で、従来構造のTFTは点線で示してある。

【0027】この図から明らかなように、本発明の実施の形態によるTFTでは、従来よりゲート電圧が負側でのドレイン電流の減少がみられる。つまり、本発明のTFTは、オフ状態でのリーク電流の抑制に有効であることがわかる。

【0028】（実施の形態2）次に、本発明のTFTの製造方法における実施の形態について説明する。

【0029】図3は本発明の第2の実施の形態におけるTFTの製造工程を示す図である。まず、石英などの絶縁体基板1（または半導体基板上に形成された酸化シリコン膜等の絶縁体膜）の上に、非晶質シリコン膜15を減圧式化学的蒸着法で成膜レートが 1.7nm/分 の速度で 90nm の厚さに形成する〔図3（a）〕。

【0030】次に、窒素雰囲気中で600℃、15時間の熱処理を施し、非晶質シリコン膜15を多結晶の固相成長により結晶粒界2を有する多結晶シリコン化する。これにより得られる多結晶シリコン膜16は結晶粒径が $1.0 \pm 0.5 \mu\text{m}$ という結晶粒が小さく、かつ、均一性の高い膜である〔図3(b)〕。

【0031】この後、多結晶シリコン膜16をTFETの領域(能動領域)が $2.2 \mu\text{m} \times 2.2 \mu\text{m}$ になるようにパターン形成する。これを酸素雰囲気中で1100℃で酸化する。この表面酸化により元の多結晶シリコン膜16の膜厚は50~55nmとなり、酸化膜の膜厚が約50nmとなる第1のゲート酸化膜17を得る。この上に窒化シリコン膜18を形成し、さらにこの上に酸化膜を形成して第2のゲート酸化膜19を形成することによりONO膜構造のゲート絶縁膜9を得る〔図3(c)〕。

【0032】次に、減圧式化学的蒸着法により多結晶シリコン膜を形成し、この多結晶シリコン膜中にリンをドーパした後、TFETのゲート長が $3 \mu\text{m}$ になるようにパターン形成してゲート電極10を形成する。この後、ゲート絶縁膜9のパターンを形成する〔図3(d)〕。

【0033】次に、ゲート絶縁膜9から多結晶シリコン膜16の平均結晶粒径である $1.0 \mu\text{m}$ より大きい $1.1 \mu\text{m}$ 離れた領域まで開口部を有する有機感光性膜(フォトレジスト)20を塗布し、開口部より多結晶シリコン膜16にリンイオンを $8 \sim 10 \times 10^{12}$ 個/cm²、最適には 9×10^{12} 個/cm²イオン注入して不純物濃度の低いn型の低濃度領域4を形成する〔図3(e)〕。

【0034】さらに、フォトレジスト20除去の後、低濃度領域4以外の残りの多結晶シリコン膜16に開口部を有する新たなフォトレジスト21を塗布し、開口部より多結晶シリコン膜16にリンイオンを $1 \sim 4 \times 10^{15}$ 個/cm²、最適には 2.3×10^{15} 個/cm²イオン注入して不純物濃度の高いn型の高濃度領域5を形成してソース領域6とドレイン領域7を形成する。次に、ソース・ドレイン領域6, 7を活性化させるため、900℃の温度で30分間酸素雰囲気中で熱処理を行う〔図3(f)〕。

【0035】次に、表面に層間絶縁膜11を形成し、層間絶縁膜11に開口部を形成して開口部を通して、n型のドレイン領域7に接続されるアルミニウムなどの導電性膜による電極配線層12を形成する。さらに、TFETや電極配線層12の耐湿性を確保するため酸化シリコン膜等によるパッシベーション膜13を形成する〔図3(g)〕。

【0036】以上の工程により、結晶粒径が小さく、かつ、低濃度領域の実効的な長さがあまり変化しない本発明のTFETが形成できる。

【0037】なお、非晶質シリコン膜の多結晶シリコン

化の方法として、レーザー光照射による熱処理により、非晶質シリコンを多結晶シリコン化してもよい。

【0038】また、TFETの形成工程において、先にゲート電極10を形成してからゲート絶縁膜9、多結晶シリコン膜16の順にパターンを形成してもよい。

【0039】なお、本発明によるTFETの製造方法では、低濃度領域の長さを多結晶シリコン膜の平均結晶粒径以上とするために、多結晶シリコン薄膜の膜厚、固相成長条件、低濃度領域の長さ、ソース・ドレイン領域の活性化熱処理条件を適宜調整することが重要である。

【0040】

【発明の効果】以上説明したように、本発明の薄膜トランジスタおよびその製造方法を使用することにより、高濃度領域の不純物が低濃度領域での結晶粒界拡散に起因するTFETのリーク電流を抑制することができる。これにより画素電極の電圧を制御して、液晶表示装置での灰色表示における微輝点の発生を防止することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における薄膜トランジスタの断面図と拡大上面図

【図2】nチャンネル薄膜トランジスタのゲート電圧に対するドレイン電流特性を示した図

【図3】本発明の第2の実施の形態における薄膜トランジスタの製造方法を示す工程断面図

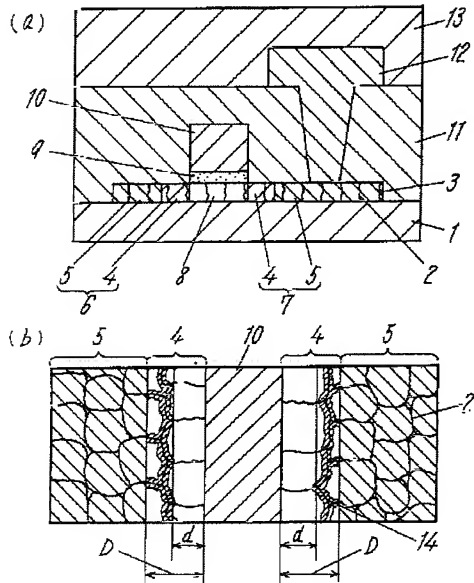
【図4】従来の薄膜トランジスタの断面図と拡大上面図

【符号の説明】

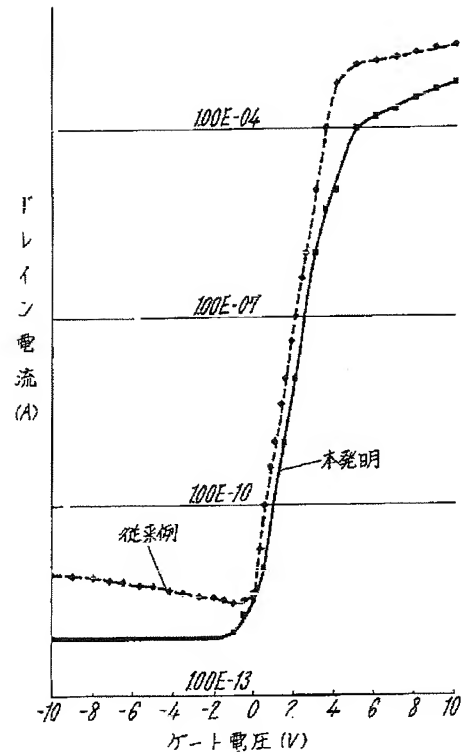
- 1 絶縁体基板
- 2 結晶粒界
- 3 多結晶半導体膜
- 4 低濃度領域
- 5 高濃度領域
- 6 ソース領域
- 7 ドレイン領域
- 8 チャンネル領域
- 9 ゲート絶縁膜
- 10 ゲート電極
- 11 層間絶縁膜
- 12 電極配線層
- 13 パッシベーション膜
- 14 高濃度の不純物
- 15 非晶質シリコン膜
- 16 多結晶シリコン膜
- 17 第1のゲート酸化膜
- 18 窒化シリコン膜
- 19 第2のゲート酸化膜
- 20, 21 有機感光性膜(フォトレジスト)

【図1】

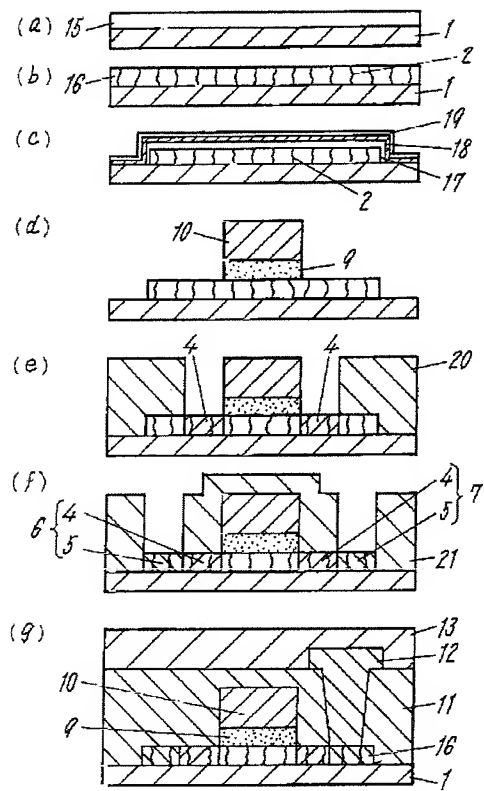
- | | | |
|-----------|-----------|--------------|
| 1 絶縁体基板 | 6 ソース領域 | 11 層間絶縁膜 |
| 2 結晶粒界 | 7 ドレイン領域 | 12 電極配線層 |
| 3 多結晶半導体膜 | 8 チャンネル領域 | 13 パッシベーション膜 |
| 4 低濃度領域 | 9 ゲート絶縁膜 | 14 高濃度の不純物 |
| 5 高濃度領域 | 10 ゲート電極 | |



【図2】



【図3】



【図4】

